

送電線用デジタル電力線搬送方式の誤り訂正符号とインタリーバ

佐々木 範雄* (東北電力), 花海 丞**, 織田 健志** (通研電気工業)

安達 文幸*** (東北大学)

Error Correcting Code and Intereaving for Digital Power Line Carrier Systems.

Norio SASAKI (Tohoku Electric Power Co., Inc), Tasuku HANAUMI Takeshi ODA (Tsuken Electric Industrial Co., Ltd)
Fumiyuki ADACHI (Tohoku University)

Abstract

In this paper, we propose an interleaving & error correcting scheme suitable for digital power line carrier systems. First, the error correcting method examined an application of Reed-Solomon code (RS code) to correct the burst errors. The effectiveness of our proposed interleaving & error correcting scheme is confirmed by the computer simulation and a prototype machine. Then, by the prototype machine, it was confirmed that the burst error correction capability and the transmission delay time becomes 192bit(1ms) and 43ms. Finally, by the computer simulation, the pilot symbol confirmed that the formed with plural periodic and maximum amplitude on the 64QAM signal space diagram. It was confirmed that an interleaving & error correcting code proposed in this paper can be applied to digital power line carrier systems.

キーワード：送電線，電力線搬送，デジタル伝送，誤り訂正，インタリーバ

(Keywords, Power line transmission, Power line carrier, Digital transmission, Error correction, interleave.)

1. まえがき

送電線用電力線搬送方式とは、高電圧送電線路（66kV～154 kV）を伝送媒体とする伝送方式であり、図1に示すように電気所側へ高周波流入を阻止するライントラップ(LT)が送電線に直列に挿入され、送電線に高周波的に結合させるカップリングキャパシタ(CC)と、高周波のみを通過させるカップリングフィルタ(CF)とで、送電線路に高周波回路が形成され伝送路が構成されている。

この、電力線搬送方式においては、近年の電力保安通信網へのIP化の進展に伴い、伝送方式をアナログからデジタル化への移行が求められている。伝送方式をデジタル化するにあたり、筆者らは送電線路で生じる熱雑音やインパルス雑音⁽¹⁾の特性を明らかにしているが、これら雑音に加え、雷等のサージ雑音によるビット誤りの発生でBER(Bit Error Rate)特性が劣化し、所要の伝送品質を確保することが困難となることが推測される。

このため、デジタル伝送においては、このビット誤りを低減させ、所要の伝送品質を確保する技術として、ビット誤りの検出と訂正を行う誤り制御技術が数多く用いられており、x-DSL(x-Digital Subscriber Line)や、デジタル移動無線に適用されている。さらに、伝送路上で生じるバースト性雑音によるバースト誤りをランダム化する交錯

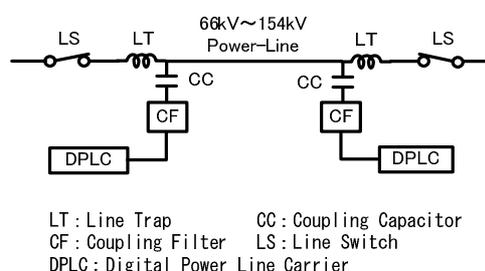


図1 電力線搬送方式の伝送回路

Fig.1 Transmission circuit for Power line carrier systems.

法、いわゆるインタリーバ方式⁽²⁾も適用されており、誤り訂正能力の向上が図られている。

しかし、送電線を伝送媒体としたデジタル伝送についての、誤り訂正方式やインタリーブ方式の検討結果は、これまで報告の事例はなく、宅内電灯線搬送方式についての報告⁽³⁾がなされている程度である。特に、送電線用電力線搬送方式においては、使用可能伝送帯域幅が250kHz程度と非常に狭帯域であることと、電力保安通信システムでは最大伝送遅延時間が制限される場合があること等から、適用する誤り訂正方式とインタリーブ方式については、これら事項を考慮した検討が必要となる。

そこで本論文では初めに、誤り訂正方式について述べる。

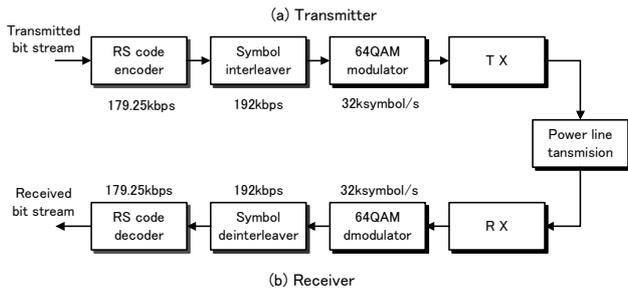


図2 検討対象のシステム構成
Fig.2 System of examination object.

送電線路のバースト雑音により生じる、バースト誤りの訂正に適し、符号化率の高いRS符号(Reed-Solomon code)について示す。次に、インタリーブ方式について述べる。伝送遅延時間とバースト誤り訂正能力を考慮する他、RS符号に付加している同期シンボルコードを、多値QAMのパイロットシンボルとして生成させ、周波数オフセットの補正方式などへの利活用を可能とするシンボルインタリーブテーブルについて提案する。最後に、検討を行った誤り訂正方式とインタリーブ方式について、計算機シミュレーションと実験機器による検証試験を行ない、バースト誤り訂正能力は192ビット(1ms)、伝送遅延時間は43ms程度になることを示し、RS符号の同期シンボルコードをパイロットシンボル等として利活用できることも示す。

2. 検討を行うシステムと諸元

本章では本論文で検討の対象とするシステムを簡単に説明する。図2にシステム構成を示しており、(a)が送信系、(b)が受信系である。変調方式には64QAMを適用、誤り訂正符号方式には、インパルス雑音やサージ雑音等のバースト雑音への誤り訂正を考慮したことで、狭帯域伝送を考慮した場合に、符号化率が優れているRS符号を適用した。

また、インタリーブにはGF(2⁸)のRS符号を適用したことから、8bit単位のシンボルインタリーブを適用した。なお、符号化後のビットレートは192kbpsとし、変調後のシンボルレートは32ksymbol/sとした。

3. 誤り訂正符号

〈3-1〉適用する誤り訂正符号 定常時における送電線路雑音の累積分布を図3に示しているように、熱雑音にインパルス雑音が重畳した分布となっていることが分かる⁽¹⁾。これに、非定常時として雷などによるサージ雑音が印加される。したがって、熱雑音に対しては、所要のSNR(Signal Noise Ratio)が得られればビット誤りの要因はインパルス雑音やサージ雑音であるバースト雑音が主になるといえる。つまり、送電線用デジタル電力線搬送方式において、送信電力を+20dBmとすれば、最低受信電力は0dBm以上を確保できることが伝搬損モデル⁽¹⁾から推定できるので、送電線への着雪による受信電力の低下(10dB程度)を考慮しても、実伝送路の平均熱雑音電力(-35dBm)に対して、ビット誤り率は1×10⁻⁶

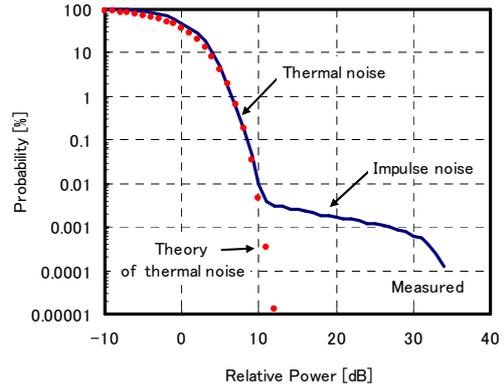


図3 測定した送電線路雑音電力の累積確率分布
Fig.3 CDF of measured noise power in power line transmission.

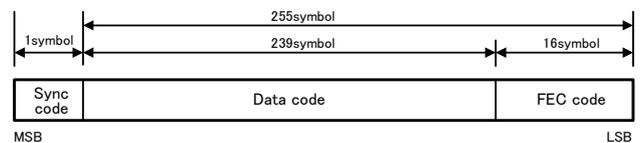


図4 適用したRS符号のフレーム構成
Fig.4 Frame format of applied RS code.

以下を確保できるものとする。

このことにより、送電線用デジタル電力線搬送方式に適用する誤り訂正方式は、畳み込み符号など熱雑音に対する誤り訂正を主にする必要がなくなるため、バースト雑音による誤り訂正を主対象とするRS符号のみでの対応が可能になると考える。つまり、符号化によるパリティビット増大に伴う占有周波数帯域幅の広がりを抑制することができるため、帯域幅が制限されている電力線搬送方式の場合には、有効な手法になるものとする。

〈3-2〉適用するRS符号 RS符号は最も普及しているシンボル単位での誤り訂正であり、mビットで表現されるGF(2^m)上の元を1シンボルとして符号化する方式である。デジタル電力線搬送方式で適用するRS符号については、映像や音声などのデジタル信号はバイト単位で表現されることから、m=8ビットで構成されるGF(2⁸)上の元を1シンボルとした。また、狭帯域伝送における符号化率とバースト誤り訂正能力を考慮して、1フレームの符号長をN=255シンボル、データ長K=239シンボルのRS(255,239)符号とした。これにより1フレーム内で発生した $\frac{N-K}{2} = 8$ シンボル(64bit)までの連続したバースト誤りの訂正が可能となる。なお、GF(2⁸)の原始多項式は次式を用いる。

$$g(x) = x^8 + x^4 + x^3 + x^2 + 1 \quad \dots \dots \dots (1)$$

また、符号語の生成多項式は次式を用いる。

$$G(x) = (x - \alpha^0)(x - \alpha^1)(x - \alpha^2) \dots (x - \alpha^{15}) \quad \dots \dots \dots (2)$$

ところで、送・受信は非同期であるため、誤り訂正処理には送・受信でRS符号のフレーム同期を確立する必要がある。このため、図4に示すフレーム構成のように、フレー

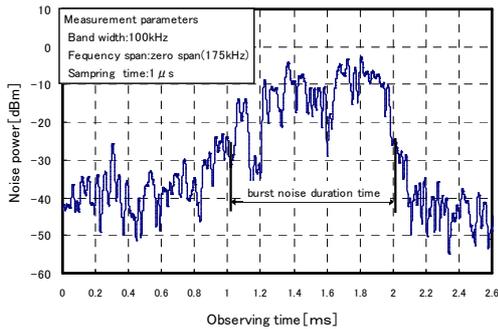


図5 スペクトラムアナライザ測定によるバースト雑音の特性

Fig.5 Performance of burst noise for spectrum analyzer measurement.

ム先頭に既知の1バイト同期シンボルコードを付加して256シンボルとしており、この同期シンボルコードを識別することで送・受信間でフレーム同期を確立している。

4. シンボルインタリーブ

デジタル電力線搬送方式の伝送帯域幅は狭帯域であるため、占有周波数帯域幅を拡大しないよう冗長ビットの付加は極力抑える必要がある。また、伝送遅延時間にも制約が生じる場合があるため、インタリーブテーブルを設計するにあたっては、以下の要件を満たすよう定義した。

- インタリーブによるバースト誤り訂正能力は、図5に示すスペクトラムアナライザによって測定された、実伝送路バースト雑音特性と、伝送遅延時間の制約を考慮し192bit(1ms)程度とする。
- その時の伝送遅延時間は送・受信で50ms以下とする。
- RS符号の同期シンボルコードを用いてパイロットシンボルを、64QAM信号空間ダイアグラムの最大振幅点で周期的に発生させる。

以上の3項目について検討を行う。

〈4・1〉インタリーブの深さと伝送遅延時間 インタリーブの深さはバースト誤りの全てを訂正できる大きさが必要であり、その深さは d (シンボル)は次式で表される²⁾。

$$d = \lceil \tau \cdot f_c / t \rceil \quad \dots \dots \dots (3)$$

ここで τ はバースト誤り長(s)、 f_c はシンボルクロック周波数(Hz)、 t はRS符号誤り訂正能力(シンボル数)、 $\lceil * \rceil$ は*を超える最小の自然数である。

そこで、バースト誤り長 τ は前述したよう1ms、RS符号のシンボルクロック周波数 f_c を24kHz(192kbps/8bit)、誤り訂正能力 t を8シンボルとして(3)式に代入すると、シンボルインタリーブの深さは d は3シンボルが得られ、RS符号の3フレームを用いてインタリーブテーブルが構成できることが分かる。その際、送・受信のインタリーブテーブルがディレイバッファとなることから、(4)式に示すように伝送遅延 $dr(s)$ が生じる²⁾。

$$dr(s) = 2d \cdot sl / f_c \quad \dots \dots \dots (4)$$

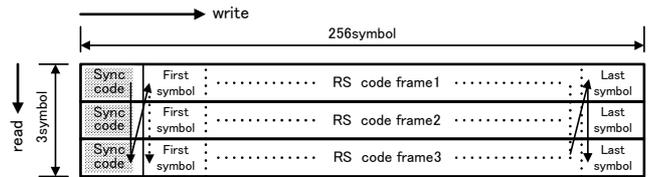


図6 従来のインタリーブテーブルの構成
Fig.6 Conventional interleaver table.

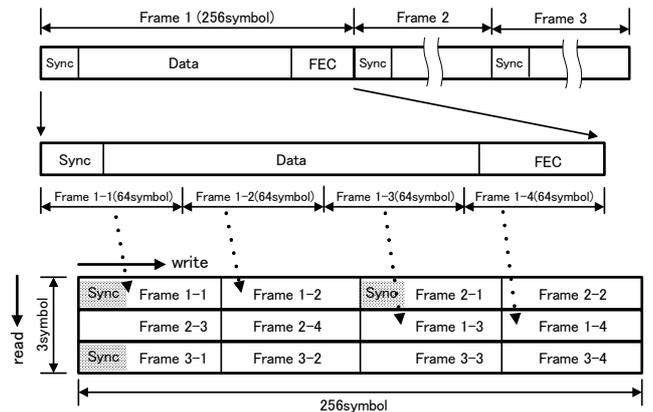


図7 提案するインタリーブテーブル構成法
Fig.7 Propose interleaver table.

ここで、 sl はRS符号の1フレーム当たりのシンボル数であるので、 sl をRS(255,239)符号に同期シンボルを付加した256シンボルとすると、(4)式よりインタリーブテーブルによる伝送遅延時間は64msの値が得られる。しかし、これは前述で定義した値より上回るため、伝送遅延時間を減少させる手法について検討する必要があるが、その手法については〈4・4〉で説明をする。

〈4・2〉インタリーブテーブルの構成法

インタリーブの深さは〈4・1〉で示したように3シンボルとなるため、図6に示す代表的なインタリーブテーブルの構成で、行方向への書込みと列方向への読出しを行なう方式が考えられる。この構成の場合、同期シンボルコードは3フレーム連続した配置となるため、本シンボルを活用して発生させる64QAMのパイロットシンボルも、同一周期なものが連続して発生する形態となるが、今後の周波数オフセットの補正方式などへの利活用性を考慮すると、パイロットシンボルは複数の周期で発生させることが好ましいものと考えられる。

そこで本論文では、同期シンボルコードを分散した配置とすることで、複数の周期で64QAMのパイロットシンボルが発生することを可能とする、インタリーブテーブルの構成法について提案する。

(1)RS符号の分割配置法 インタリーブテーブルにRS符号の同期シンボルコードを分散し、効果的に64QAMのパイロットシンボルを発生させるため、図7に示すようRS符号の1フレームを4分割(64シンボル)し、分割されたフレーム1,2,3をインタリーブテーブルの列方向にそれぞれ配置している。なお、書込みと読出しは図6の代表的な方式と同

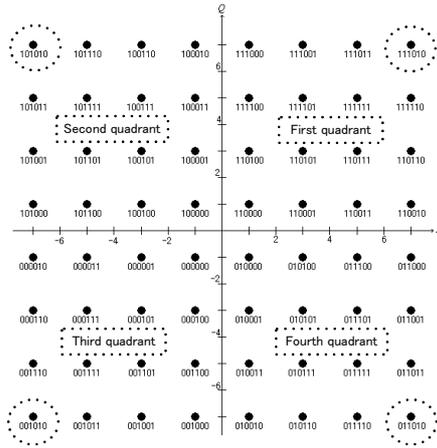


図 8 64QAM の信号空間ダイアグラム

Fig.8 Signal space diagram of 64QAM.

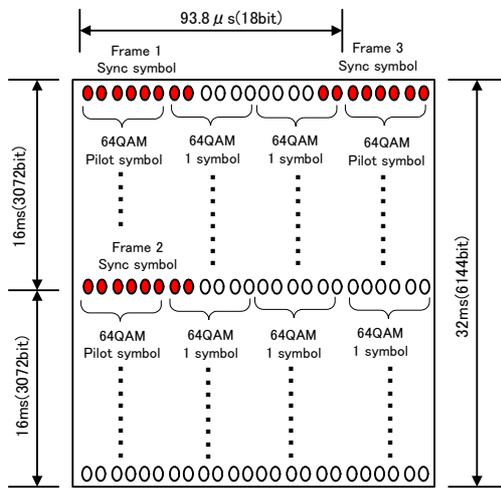


図 9 64QAM 時の同期シンボルコードの適用法

Fig.9 Application method of synchronization symbol code in 64QAM.

様、行方向と列方向に行われる。

このことにより、インタリーブの深さは 3 シンボルが確保され、同期シンボルコードは、フレーム 1-1 と 2-1 の先頭シンボルにより 16ms 周期(384 シンボル×8bit×5.208 μs=16ms)と、フレーム 3-1 の先頭シンボルにより 32ms 周期の同期シンボルコードが配置される。さらに、フレーム 1-1 とフレーム 3-1 の先頭シンボルにより約 83 μs 間隔の同期シンボルが生成される。このことで、複数の周期と間隔で、64QAM のパイロットシンボルを発生させることが可能となるが、その生成過程については次項で説明をする。

(2) 同期シンボルのコードとパイロットシンボルの生成

RS 符号の同期シンボルコードを使用し、パイロットシンボルを最大振幅値で発生させるには、図 8 の 64QAM 信号空間ダイアグラムに示すように、第 1 象限から順に[111010], [101010], [001010], [011010]のコードの何れかを発生させる必要がある。そこで、64QAM の場合、1 シンボルは 6 ビットの配分であることから、同期シンボルコードの適用を

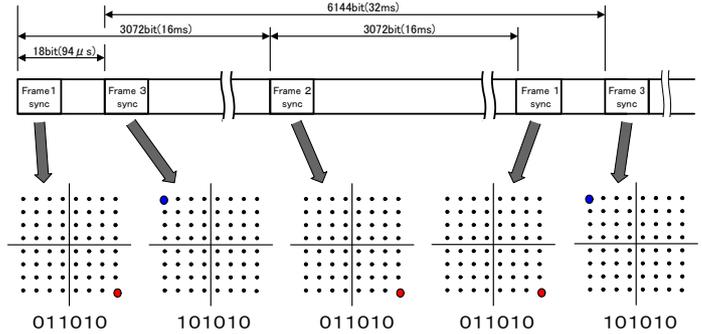


図 10 パイロットシンボルの発生周期

Fig.10 Generation period of pilot symbol.

ビット表示とした場合、図 9 に示すビット配分で変調を行う。なお、図 9 は説明上、図 7 のインタリーブテーブルの行列を入れ替えて示している。

まずパイロットシンボルの生成手順について述べる。RS 符号フレーム 1 である同期シンボルの MSB(Most Significant Bit)から 6 ビットを用いて 64QAM のパイロットシンボルが生成される。次に、フレーム 3 の同期シンボルコードの MSB より 3 ビット目から LSB(Least Significant Bit)までの 6 ビットを用いてパイロットシンボルが生成される。さらに、フレーム 2 の同期シンボル MSB から 6 ビットを用いて、パイロットシンボルを生成する。

つまり、同期シンボルの MSB から 6 ビットと、LSB からの 6 ビットを使用して変調を行うので、同期シンボルコードに[01101010](RS 符号のべき表現で α^{40})を用いることで、パイロットシンボルは図 10 に示すように、フレーム 1 と 2 では[011010]のビット列により第 4 象限の最大振幅シンボル点が 16ms 周期で発生され、フレーム 3 では[101010]により第 2 象限の最大振幅シンボル点が 32ms 周期で発生されることになる。さらに、フレーム 1 とフレーム 3 とで 3 シンボル(94 μs)の、発生間隔が短いパイロットシンボルも発生される。

〈4・3〉インタリーブ遅延時間の短縮法

本節〈4・1〉で示したようにインタリーブによる伝送遅延時間は 64ms となる結果となっている。そこで、伝送遅延時間の短縮法として考えられるのが、送・受信インタリーブテーブルにおいて書込みと読出しを同時に行う方法である。まず、図 7 に示すように、送信側においてはフレーム 2-4 までの書込みが終了すると、インタリーブテーブルの 1, 2 行はデータの書込みが完了されており、3 行目にフレーム 3 の書込みがなされてテーブルへの書込みが完成する。従って、テーブルからの読出し開始は、フレーム 3-1 の同期シンボルの書込みと同時に、フレーム 1-1 の同期シンボルからフレーム 2-3, 3-1 の列方向へ読出しを開始しても、書込みデータは読出しデータより 16 ビット先行しており、それ以降は 16 ビットの倍数で書込みデータが先行するので、フレーム 3-1 の書込み時から読出しを同時に開始しても問題はなく、この結果 1 フレーム分の遅延時間(10.7ms)を短縮することができる。

次に、受信側においては、図7に示すフレーム1-3への書込みの57シンボルが終了した時点で、分割されたRS符号のフレーム結合を行うための読出しをフレーム1-1から開始する。続いて1-2、1-3の順で読出しを行えば、1-3からの読出しが終了した時点で1-4への書込みの57シンボルが終了し、残り64シンボルの書込みが残っているので、1-4の読出しが連続して可能になる。したがって、1フレーム長となる4ブロック相当への書込みを待たず読出しが行なえるので、1フレーム分の遅延時間を短縮することが可能となる。

以上の手順により送・受信で2フレーム分の遅延時間、約21.4msが短縮されるので、伝送遅延時間は42.6msとなり、本手順により定義した値をクリアすることが可能となる。

5. 特性評価試験

〈5・1〉RS符号の誤り率特性 RS(255,239)符号に、1バイトの同期シンボルコードを付加した256バイトRS符号と、誤り訂正を用いない無符号の、 E_b/N_0 に対するAWGN(Additive White Gaussian Noise)環境下におけるBER特性の計算機シミュレーション結果を図13に示す。

図13に示すRS符号化時と無符号化時のBER特性では、 1×10^{-6} の点で約4dBの符号化利得が得られていることが分かる。このことから、コロナ雑音の発生でバックグラウンドノイズが上昇した場合にもRS符号は誤り訂正がなされ、BER特性を改善させるものと考えられる。ただしこの場合、誤り訂正符号がコロナ雑音による誤り訂正処理に用いられるため、インパルス雑音やバースト雑音の発生時にはBER特性は劣化する。

〈5・2〉インタリーバのバーストエラー訂正能力と伝送遅延時間 RS(255,239)符号と、〈4・2〉で提案したインタリーバテーブルの構成法をFPGA(Field Programmable Gate Array)にて、図2に示す構成で実験ボードを試作し、バースト誤り訂正能力と、伝送遅延時間の測定を行った。

インタリーバ有無による誤りビット数の測定結果を図14に示す。横軸が疑似サージ雑音発生器からの雑音発生継続時間で、縦軸がビットレート192kbpsにおける誤りビット数であり、試行回数10回における平均値をプロットしている。図14から分かるように、インタリーバを用いない場合のエラービット数は連続で増加している特性に対し、インタリーバを用いた場合は、サージ雑音の継続時間が1ms(192bit)までは誤り訂正の補償がなされ、エラービットの発生は抑制されている。ただし、雑音発生継続時間が1ms(192bit)を超えるとバースト誤り訂正能力を越えるため、インタリーバの有無に関わらずビットエラー数は、ほぼ同一で直線的に増加する結果が示されている。

次に、インタリーバ有無による伝送遅延時間の検証を行うため、図2に示す送・受信ビット入出力を測定点とし、遅延測定用パルスを抽出するため、179.25kbpsから64kbpsに速度変換し測定を行った。

伝送遅延時間の測定結果を図15に示す。インタリーバを有しない場合の遅延時間は17.7msであり、インタリーバを

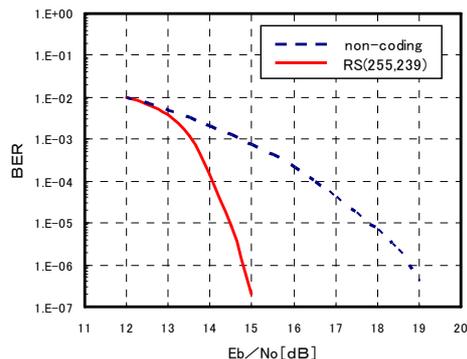


図13 RS(255,239)と無符号化のBER特性

Fig.13 BER performances with RS(255,239) coding and with no coding.

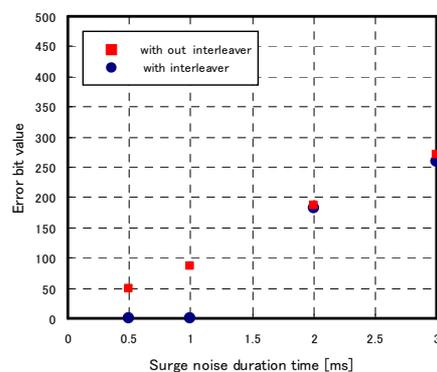


図14 インタリーバ有無によるビット誤り数の比較

Fig.14 Comparison of bit error rates with interleaving and without interleaving.

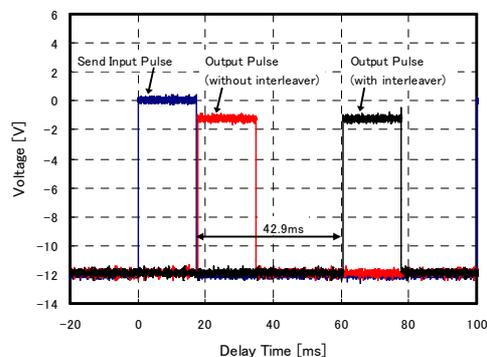


図15 インタリーバ有無による遅延時間の比較

Fig.15 Comparison of delay time with interleaving and without interleaving

有する場合の遅延時間は60.6msであった。したがって、この二つの遅延時間の差がインタリーバテーブルによる伝送遅延時間となるので、その値は42.9msとなり、〈4・4〉で示した計算値(42.6ms)とほぼ同一の値が得られる結果となった。

〈5・3〉パイロットシンボルの検証 提案したインタリーバテーブルにより、パイロットシンボルが64QAM信号空間ダイアグラムの規定した最大振幅点と周期で発生されるか、計算機シミュレーションを行った。計算機シミュレーションの諸元としては、64QAMの変調シンボルレートは32ksymbol/s、ビットレートは192kbps、SNR(Signal Noise Ratio)

は 35dB とした。また、パイロットシンボルの探索方法としては、インタリーバブルで生成されるパイロットシンボルの最大周期(32ms)と同数となる 64QAM のシンボル数、1024 個の一次フィルタを用意し、忘却係数を用いてシンボル数 1024 の平均電力値を次式により算出して、パイロットシンボルの電力値となる一次フィルタの出力を探索した。

$$\bar{S}_{AP,n}(t) = (1 - \beta) \cdot S_{AP,n}(t) + \beta \cdot \bar{S}_{AP,n}(t-1) \cdot \dots \cdot (5)$$

ここで、 $S_{AP,n}(t)$ は第 t タイムスロットにおける、 n 番目の一次フィルタへの瞬時入力電力値、 β は忘却係数である。(5)式により計算された 1024 シンボルの一次フィルタ出力値を図 15 に示す。パイロットシンボルとなる最大振幅点の I・Q 値を 1 に正規化したので、パイロットシンボルの電力値は 2 になる。その他の出力値はランダムなシンボル点が発生されるため、64QAM の平均電力値となる 0.857 が出力されていることが分かる。

したがって発生周期は、第 4 象限のパイロットシンボルが 512 シンボル(16ms 相当)、第 2 象限のパイロットシンボルは 1024 シンボル(32ms 相当)となり、第 4 象限と第 2 象限とでは、3 シンボル(94 μ s 相当)の発生周期となることが検証された。また、パイロットシンボル探索で発生される周期タイミングに同期させ、復調器の I・Q 出力から複素シンボルデータを抽出したコンスタレーションを図 16 に示す。抽出したデータには RS 符号の同期シンボルコードにより、第 2 象限の最大振幅点(-1+j)と、第 4 象限の最大振幅点(1-j)のみ生成されていることが分かる。

以上の結果から、本論文で提案したインタリーバブルは、パイロットシンボルを有効に生成させることが可能であることから、回線同期確立方式への適用や、周波数オフセットの推定と補正方式への適用等、その利活用について今後報告する予定である。

6. まとめ

本論文では送電線用デジタル電力線搬送方式に用いる誤り訂正符号方式を示し、バースト誤り訂正能力やパイロットシンボル発生周期など、必要条件を満たすインタリーバ方式について提案した。

誤り訂正符号方式としては、バースト雑音を主に考慮し、RS 符号を適用したが、熱雑音に対しても符号化利得は、ビット誤り率が 1×10^{-6} の点で約 4dB 程度得られることがシミュレーション結果から示された。インタリーバ方式については、具体的なインタリーバブルの構成法と、そのテーブルへの RS 符号の配置法などについて示した。このインタリーバ方式による実験ボード、および計算機シミュレーションを用い検証を行った。その結果、バースト誤り訂正能力は 1ms(192bit)が確保され、伝送遅延時間は 43ms 程度となることが示された。また、64QAM のパイロットシンボルの発生間隔については、3 シンボル(94 μ s 相当)、512 シンボル(16ms 相当)、1024 シンボル(32ms 相当)の 3 パターンが発生することが可能であることが示された。このことにより、

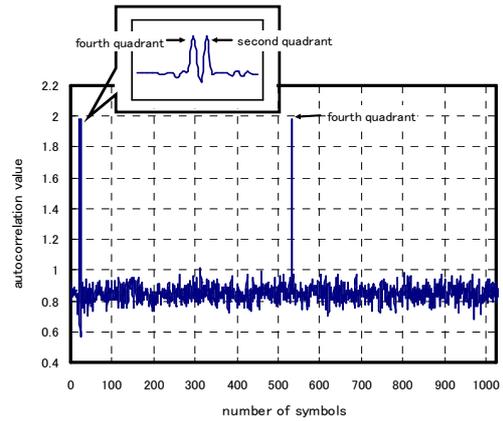


図 15 パイロットシンボルの発生周期
Fig.15 Generation period of pilot symbols.

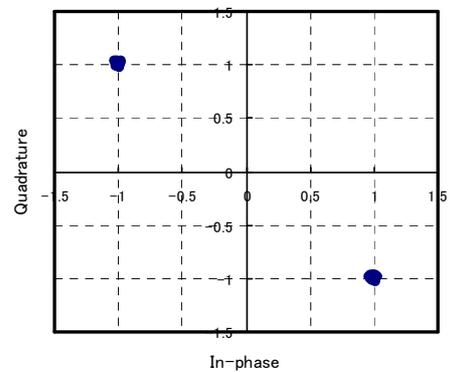


図 16 ハイロットシンボルのコンスタレーション
Fig.16 Constellation of pilot symbols.

今後検討を行うパイロットシンボルの位相変動情報を用いた周波数オフセット補正方式への適用や、適応等化器の既知シンボルとして参照信号への適用、さらにはパイロットシンボルによる回線同期確立方式への適用などとして、有効に利活用できるものとする。

以上のことから、本論文で提案した、誤り訂正符号方式およびインタリーブ方式は、送電線用デジタル電力線搬送方式として、十分適用できることが確認された。

文 献

- (1) N. Sasaki, K. Seino, T. Hanaumi, T. Oda and F. Adachi: "Channel Modeling for Digital Transmission using Power Line", *Trans. EIS Japan*, Vol.132, No.8, pp.1317-1327(2012)(in Japanese)
佐々木範雄・清野賢一・花海丞・織田健志・安達文幸:「送電線路を用いるデジタル伝送のチャネルモデル化」, 電学論(C), Vol.132, No.8, pp.1317-1327(2012)
- (2) S.Aikawa, T.Okuno, R.Ohmoto: "Bit Interleaving Technique as a Radar Interference Canceller", *Trans. IEICE Japan*, Vol.J76-B-II, No.8, pp.679-689(1993)(in Japanese)
相河聡・奥野隆夫・大本隆太郎:「レーダ干渉補償用ビットインタリーブの設計法と特性」, 信学論(B-II), Vol.J76-B-II, No.8, pp.679-689(1993)
- (3) K.Kazuhiro, M.Gen: "A Study on the Suppression Method Against Power Line Noise", *IEICE, IT-1998-97*, pp91-96(1998)
國松和宏・丸林元:「電灯線バースト雑音対策の検討」, 信学技報, IT-1998-97, pp91-96(1998)